Deep-RIE 矽深蝕刻製程試片規定

晶片

本機台為前段設備，非開放材料切勿使用。

1.使用標準完整四吋矽晶片厚度在 300um 以下者，需貼合另一完整四吋晶片，總厚度不可超過 1um。

2.有蝕穿晶片之可能時，請先在晶片背面成長 1~2um SiO_2。

3.破片使用之四吋載片需成長 SiO_2，載片上成長的 SiO_2 被蝕刻完後 Si 會露出影響蝕刻，SiO_2 厚度需考慮相對蝕刻的深度，SiO_2 載片厚度 2um 可適用蝕刻矽材料深度最多約 150um，SiO_2 越厚能使用數次越多(建議 4um 以上)或使用於更深深度的蝕刻。

4.破片黏貼於載片時，請貼在載片中心，載片邊緣 1cm 請留空。

5.黏貼晶圓請使用潔淨之 Fomblin 真空膏。Fomblin 真空膏須完全由破片覆蓋且不得溢出，含 Fomblin 真空膏之晶圓在未清洗潔淨前不可置入機台內使用。

6.委託件一律由本中心提供 2um 厚度 SiO_2 載片，酌收載片材料費用 900 元，不接受委託者自行成長 SiO_2，如對 SiO_2 載片厚度有特別需求請洽詢本機台管理人員。

7. 本中心 R116 「後段 PECVD」(A 台)設備不接受該機台之製程晶片。

8. 2um 以上厚度 SiO_2 載片僅接受以下前段設備製作：

A.本中心「前段 PECVD」(B 台)。

B.本校電工系半導體教學實驗室 PECVD。

C.TSRI 前段 PECVD 設備(T28 Applied Materials Centura 5200)，該部 PECVD 無開放自行操作僅接受委託。

高開口率蝕刻限制(開口率大於 30%以上圖形)

高開口率蝕刻挖出大量粉塵沉積機台內造成設備異常及製程條件偏移，付出高額維護成本及影響眾多使用者，限用 8 平方公分以內破片；或使用完整晶片圖形區域限 8 平方公分以內，圖形以外區域需有光阻覆蓋保護。

光阻

1.請使用者查閱所使用的光阻原廠技術資料，確保正確使用，硬烤足夠。

2.厚度及硬度需足以保護非蝕刻區域，例如使用 AZ4620，厚度需在 4um 以上硬烤四十分鐘以上才足夠。

3.硬烤容易影響光阻垂直度，請以曝光完成後進行曝後烤取代硬烤，曝後烤所需時間必需達到等同硬烤的效果。

4.Full wafer 背面請以棉棒沾丙酮(ACE)將殘餘光阻清除。

5.由於曝光機景深有限，厚膜光阻線寬及 profile 可能較具挑戰性，可改以 SiO_2 Hard Mask + 光阻可以改善線寬及 profile 問題。

Deep-RIE Si Deep Etching Sample Rule

Sample

Deep-RIE is front-end equipment**, do not use not allowed materials.**

1. Bonding wafer is allowed, total wafer thinkness should over 300um but under 1mm.
2. When there is a possibility of etch through the wafer, deposited backside 1~2um SiO_2 in advance.
3. Carrier wafer should deposited SiO_2 in advance, the SiO_2 thickness depends on the etching depth, 2um SiO_2 is enough for under 150um Si deep etching, the SiO_2 thickness suggest over 4um generally for several use or deeper depth etching.
4. When stick broken wafer(die) on carrier wafer, keep the edge clearance about 1cm.
5. **Use Fomblin grease to stick die, Fomblin grease should be fully covered and aviod spill over. Residue Fomblin grease on wafer must be cleared in advance before process.**
6. Paid alternative equipment operation do not accept your own carrier wafer, SiO_2 carrier restricted provid by the NFC, call equipment administrator for details.
7. SiO_2 restricted grow by front-end equipment, R116 PECVD is back-end equipment.
8. Acceptable front-end equipment list：
   A. The furnace of NFC (2um thickness SiO_2 capability) .
   B. PECVD, Semiconductor Experiment laboratory,E.E.Department, NCTU. (Over 2um thickness SiO_2 capability)
   C. TSRI PECVD(T28 Applied Materials Centura 5200), the only one front-end which not open for users. (Over 2um thickness SiO_2 capability)

High exposed ratio restriction (over **30%** exposed ratio)

High exposed ratio sample is limited 8cm^2 to prevent a large amount of powder pollution or covered with photoresist to keep low exposed ratio.

For example: Blank bare silicon wafer is restricted by the size under 8cm^2.

Photoresist

1. Check official datasheet and hard bake properly.
   For example: AZ4620 thickness should over 4um and at least 40 minutes hard bake.
2. After exposure baking is considered to inprove photoresist profile, baking time should **be attentioned to keep hard resistance.**
3. Remove wafer backside residue photoresist with ACE**.**
4. Use SiO_2 Hard Mask and thinner photoresist to inprove profile for narrow line width.